

支持 ONFI 协议的 NAND Flash 控制器设计

张远航¹, 宋鹏程¹, 张亚朋², 郑 哲², 张 春¹

(1 清华大学 微电子学研究所, 北京 100084; 2 全球能源互联网研究院信息与通信研究所, 北京 102211)

摘 要: 完成以 NAND Flash 为存储芯片支持 ONFI 协议的固态硬盘控制器设计, 并通过相关功能仿真验证. 整体架构以 MicroBlaze 软核作为控制中心, 基于 AXI 总线完成数据传输, 控制器中指针控制器逻辑有效实现写操作中数据流乒乓结构, 提高数据吞吐率, 同时主控模块内部逻辑优化实现对 NAND Flash 芯片更高效的读写操作. 验证结果表明控制器各操作时序严格满足 ONFI 协议标准, 满足了设计要求.

关键词: 固态硬盘; 控制器; NAND Flash; ONFI 协议

中图分类号: TN431. 2

文献标识码: A

文章编号: 1000—7180(2017)05—0026—04

The Design of NAND Flash Controller Supporting ONFI

ZHANG Yuan-hang¹, SONG Peng-cheng¹, ZHANG Ya-peng²,
ZHENG Zhe², ZHANG Chun¹

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China;

2 Information and Communication Department, Global Energy Interconnection
Research Institute, Beijing 1002211, China)

Abstract: A Solid State Drivers' controller supporting ONFI standards based on NAND Flash was designed. The soft-core MicroBlaze was played as the controller processor. And AXI bus was used to transmit data efficiently. Under the control of pointer controller module, ping-pang structure was realized to increase throughput rate. Logic optimization of the main module made writing operations much more efficient. Results showed that all sequence diagrams met ONFI standards strictly.

Key words: SSD; controller; NAND flash; ONFI

1 引言

SSD(Solid State Drives)即固态硬盘是由主控单元、固态存储单元(DRAM 或 FLASH 芯片)组成的硬盘,其在存储结构上完全异于传统硬盘的旋转介质等机械结构,在小体积,快存取,抗震摔,高可靠性和轻质量等方面有着极其优越的性能.

NAND FLASH(闪存)以页为基本存储单位,块为基本擦除单元,擦除与编程速度较 NOR 型闪存更快,适用于纯数据或文件的存储,是半导体领域重要的非挥发性存储器件. 体积小、低成本、擦写快、耐久性等优势使得 NAND Flash 市场需求持续增

长. 相应的 ONFI 协议主要制定了闪存的物理接口、封装、工作机制、控制指令、寄存器、校验等规范,有效解决了闪存接口不兼容在技术更新换代时产生的高成本投入问题^[1]. 从最初的 ONFI 1.0 到现在的 ONFI 4.0 标准,传输带宽已从传统的 Legacy 接口的 40 MB/s 逐步提升到 800 MB/s.

NAND Flash 采用数据总线、地址总线与指令输入高度复用的 8 位 I/O 接口,节省引脚数量和提高扩展性的同时也增加了逻辑控制的难度. 由 5 个主要控制信号 CE#、CLE、ALE、WE#、RE# 共同作用下将 I/O 控制单元接收的数据锁存进相应的命令寄存器、地址寄存器或数据寄存器,实现不同总

线状态转换,如表 1 所示^[2].

表 1 控制信号状态表					
CE_n	ALE	CLE	WE_n	RE_n	总线状态
1	X	X	X	X	待命
0	0	0	1	1	闲置
0	1	0	0	1	命令周期
0	1	0	0	1	地址周期
0	0	0	0	1	数据输入
0	0	0	1	0	数据输出
0	1	1	X	X	未定义

2 控制器设计

2.1 SSD 控制器整体结构

在图 1 的整体结构框图中,Xilinx 的 MicroBlaze 软核发送各项操作命令;PCI-E 为 SSD 与外界的高速数据接口;DDR 作为读写数据缓存,协调数据传输与处理的速率;因为 NAND Flash 在使用过程中可能出现位反转,需要在存取操作中增加编码,检测和纠错以保证数据读取的准确性;主控模块为整个 SSD 控制器的核心部分,主控逻辑精确产生各种输出到存储器的控制信号,并在纠错编码模块的协调下完成数据可靠性检测与纠错;控制器各功能模块挂载在 AXI 总线上,实现数据、命令和地址信号的有效传输;NAND Flash 存储芯片可通过多路选择器实现芯片级互连共用一个控制器.

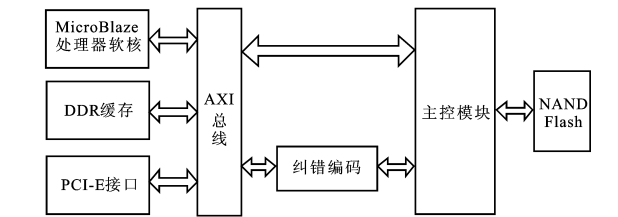


图 1 SSD 控制器整体框架结构

2.2 主控逻辑分析

如图 2 所示,控制器主控模块由状态机、指针控制器、两个命令地址寄存器、两个写缓存和一个读缓存共同组成.

NAND Flash 的读写均以页为操作单位,因此每个缓存 Buffer 存储容量设为一个 page 大小.命令地址寄存器均为 32bit,分别存储当前与下条执行指令与地址.控制器完成各项命令前必须先配置好命令地址寄存器,表 2 为本设计中控制器可执行的指令编码.

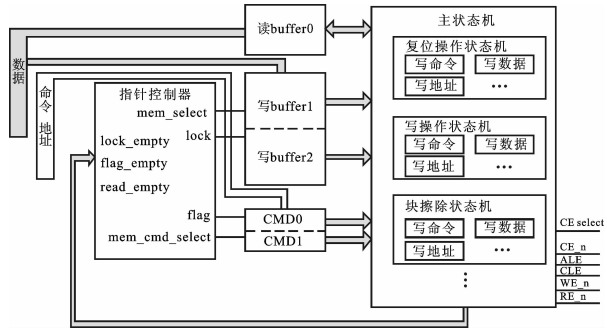


图 2 主控模块设计结构

表 2 主控逻辑指令编码

指令编码	功能说明
10H	读 cache 写命令
20H	读 cache 数据读取
30H	读 cache 结束命令
40H	读页
60H	块擦除
70H	读状态
80H	写页或写 cache
90H	读 ID
F0H	复位

验证平台所采用的美光 MT29F 系列存储芯片每次写页操作时间约为 230 μs ,读页操作时间约为 25 μs ,且 NAND Flash 写操作前伴随着块擦除操作,约为 700 μs ^[3],综上,写操作比读操作要慢得多,为提升写操作性能通过如下方案优化主控模块设计.

数据流乒乓结构:指针控制器通过对写缓存和命令寄存器数据流的选择以实现其乒乓操作.在连续写操作时,buffer1 中数据存满后相应缓存 lock 值置 1,并开始向 buffer2 中写数据,此时数据可从 buffer1 取出,待 buffer2 存满数据后自动转向 buffer1 中待收数据,buffer2 中待取数据,缓存数据输入输出的处理如此循环,周而复始.命令寄存器 CMD0 与 CMD1 控制模式同理.

状态机逻辑优化:主控逻辑功能由相互嵌套的有限状态机配合实现.主状态机完成命令执行中主状态跳转.次状态机则实现各主状态下不同总线状态的跳转.在 ONFI 协议中,NAND Flash 存储器对各输入控制信号以及输入输出数据都有着严格的时序要求.采用嵌套次状态机中的 toggle 状态机实现控制信号宽度与占空比的有效控制.

每次写操作伴随长时间的忙闲信号拉低,芯片

内部处理数据且不再接收其他命令. 另外, 由 NAND Flash 芯片内部存储结构决定, 每次写缓存操作较写页操作可节省约一页数据量的搬入存储阵列时间, 综上可利用写页操作芯片占用时间, 优化写操作次状态机如图 3.

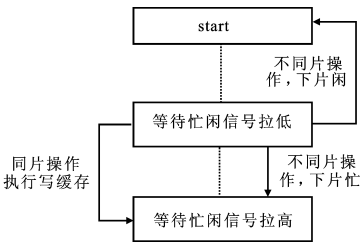


图 3 多片写操作状态图

在写操作忙闲信号拉低后判断下次写操作目标芯片, 若对同片写则等待此片忙闲信号拉高, 且以写缓存替换写页操作; 若对异片写, 下片忙则等待下片忙闲信号拉高, 下片闲则直接跳入执行下次写操作.

3 验证

验证平台的 Flash 芯片采用美光 (Micron) MT29F 系列存储芯片的模型 (无位反转). 本文主要研究主控模块实现与优化, 采用 MicroBlaze 软核控制小数据量的写入读出操作, 因此仿真验证的整体架构中省略大数据处理的 DDR 缓存模块与 PCI-E 高速接口. 图 4-5 是写操作的仿真结果.

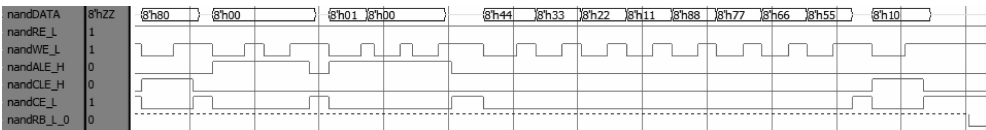


图 4 写操作波形



图 5 写操作分步波形

写页操作由五部分组成: 首尾各一次写命令 80H 和 10H、一次两周期写行地址、一次三周期写列地址以及一页数据的写操作 (为使结果更直观, 仿真中设置页大小为 8). 仿真波形中写入数据为 11223344H 和 55667788H, 地址数据读写过程中总是最低位最先写入或读出. 在写页命令操作过程中忙闲信号 nandRB_L 为高, 命令完成之后忙闲信号拉低, Flash 芯片内部进入写页操作, 待完全写入后忙闲信号拉高, NAND Flash 芯片每次写页仿真时间约为 200 μ s.

图 5 依次为写命令、写地址和写数据操作, 命

令寄存器保持赋值 80H, toggle 状态机控制信号 CE#、CLE、ALE、WE#、RE# 的时序, 总线状态依次在命令周期、地址周期以及数据输入周期间转换.

如图 6 为同片 NAND Flash 芯片两次写操作, 控制器逻辑自动将第一次写操作判定为写缓存操作, 第一次写操作命令以 15H 结束而第二次写操作命令以 10H 结束. NAND Flash 芯片忙闲信号可在第一次写缓存后短时间内拉高 (仿真时间为 5 μ s) 进入下次写操作. 写缓存操作可有效提高数据吞吐率.

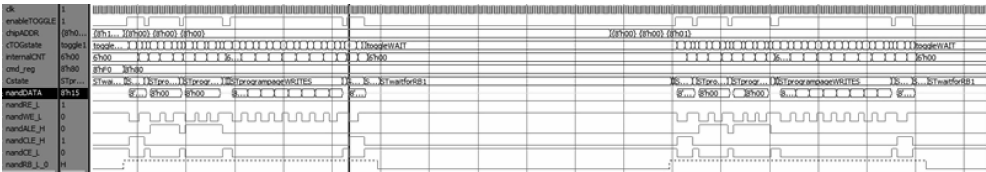


图 6 同页写操作

闲置状态下执行读 ID 操作,可读出预先已编译进入 NAND Flash 芯片中的标识码,其中包括设备技术规格信息、制造厂商等. 在 toggle1 状态下 RE 信号置低,依次读出 ID 数据:4FH、4EH、46H、49H,即 ONFI 的 ASCII 码值,如图 7 所示.

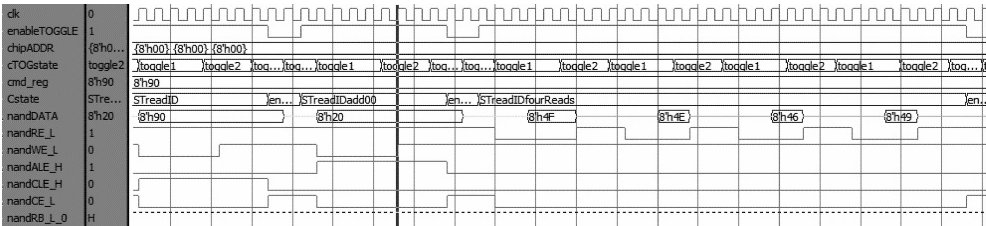


图 7 读 ID 操作

读状态操作反馈状态寄存器值为 E0H,如图 8 所示. 此时 WP_n、RDY、ARDY 置 1, FAILC 和 FAIL 置 0,表示写保护无效,寄存器内数据已全部搬至 NAND Flash 阵列中,上一指令成功执行,当前芯片可接受下条指令.

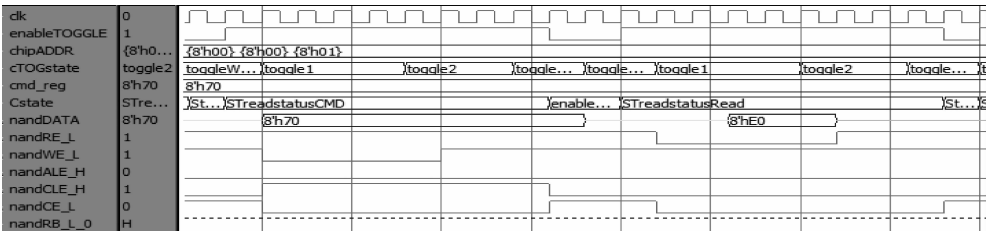


图 8 读状态操作

4 结束语

本文介绍了 SSD 控制器的整体功能架构^[4],重点分析主控模块的设计思路,提出了优化控制器写操作性能的写缓存乒乓结构和改进的写操作状态机,改善了闪存芯片写耗时造成的低吞吐率问题. 本文设计的 NAND Flash 控制器由仿真结果可知读写等功能严格满足 ONFI 协议时序设计要求.

参考文献:

[1] 张蓉. 支持 ONFI 和 Toggle 模式的 NAND Flash 控制器设计[D]. 武汉:华中科技大学,2014.

[2] 刘卫. NAND Flash 控制器的设计与验证[D]. 长沙:国防科学技术大学,2008.

[3] Micron Technology. 16Gb automotive asynchronous/synchronous NAND flash-memory[EB/OL]. [2016-08-31]. <http://www.datasheetspdf.com/datasheet/MT29F16G08CBACA.html>.

[4] Yang Hu, Hong Jiang, Dan Feng, Lei Tian, Hao Luo and Chao Ren, Exploring and Exploiting the Multilevel Parallelism Inside SSDs for Improved Performance and Endurance[J]. IEEE Computer Society, 2013, 62(6): 1141-115.

作者简介:

张远航 女,(1994-),硕士研究生. 研究方向为数字集成电路设计. E-mail:tlbdomore@sina.com.

宋鹏程 男,(1993-),硕士研究生. 研究方向为数字集成电路设计、嵌入式系统.

张亚朋 男,(1982-),工程师. 研究方向为模拟集成电路设计.

郑哲 男,(1986-),工程师. 研究方向为数字集成电路设计、嵌入式系统设计、电力通信.

张春 男,(1972-),博士,副研究员. 研究方向为数模混合信号成电路设计、嵌入式微处理器设计、数字信号处理、射频识别等.